

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-163647

(43)Date of publication of application : 18.06.1999

(51)Int.Cl.

H03F 3/70  
H03H 19/00

(21)Application number : 09-323292

(71)Applicant : DENSO CORP

(22)Date of filing : 25.11.1997

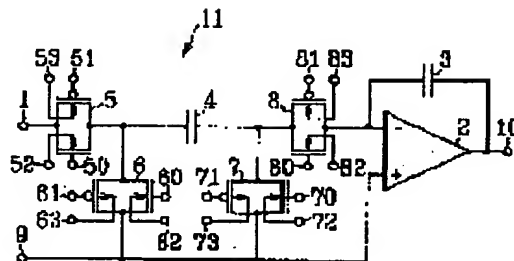
(72)Inventor : TAKAHASHI MITSURU  
SHIOTANI TAKESHI  
TANAKA HIROAKI

## (54) SWITCHED CAPACITOR CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a switched capacitor circuit which prevents a leak current increase and performs high accuracy operation with a low power supply voltage to attain low power consumption.

SOLUTION: In an NMOS transistor that constitutes each switch 5 to 8, when a control voltage of each substrate voltage control terminal 52, 62, 72 and 82 is increased, a threshold voltage decreases. In a PMOS transistor, when a control voltage that is applied to each substrate voltage control terminal 53, 63, 73 and 83 is decreased, the threshold voltage increases. In an integrator 11, if a substrate voltage is controlled to increase an absolute value of the threshold value when each switch 5 to 8 is off, a leak current reduces and integration precision is improved. If the substrate voltage is controlled to reduce the absolute value of the threshold value when each switch 5 to 8 is on, it is possible to reduce a power supply voltage and to attain low power consumption, as it is possible to surely turn on the transistors with the low power supply voltage.



## LEGAL STATUS

[Date of request for examination]

27.04.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-163647

(43) 公開日 平成11年(1999) 6月18日

(51) Int.Cl.<sup>8</sup>

識別記号

F I

H 0 3 F 3/70

H 0 3 F 3/70

H 0 3 H 19/00

H 0 3 H 19/00

審査請求 未請求 請求項の数 9 O L (全 13 頁)

(21) 出願番号 特願平9-323292

(22) 出願日 平成9年(1997)11月25日

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 高橋 充

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

(72) 発明者 塩谷 武司

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

(72) 発明者 田中 裕章

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

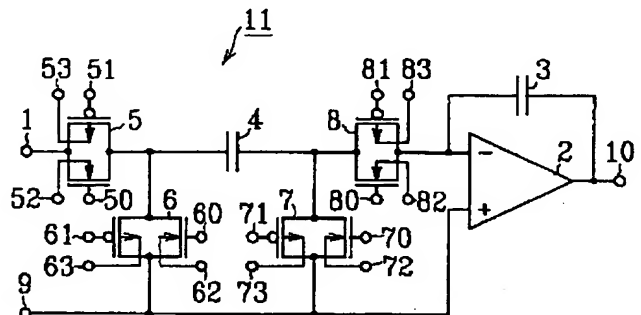
(74) 代理人 弁理士 足立 勉

(54) 【発明の名称】 スイッチトキャパシタ回路

(57) 【要約】

【課題】 低消費電力化を図るために低電源電圧化を行った際に、リーク電流の増大を防止して高精度な動作が可能なスイッチトキャパシタ回路を提供する。

【解決手段】 各スイッチ5～8を構成するNMOSトランジスタにおいて、各基板電圧制御端子52、62、72、82の制御電圧を増大させると、しきい値電圧が減少する。PMOSトランジスタにおいて、各基板電圧制御端子53、63、73、83に印加する制御電圧を減少させると、しきい値電圧が増大する。積分器11において、各スイッチ5～8のオフ時には、しきい値電圧の絶対値が大きくなるように基板電圧を制御するとリーク電流が低減して積分精度が向上し、各スイッチ5～8のオン時には、しきい値電圧の絶対値が小さくなるように基板電圧を制御すると、電源電圧が低い場合でもトランジスタを確実にオンさせることが可能になるため、電源電圧を低減して低消費電力化を図ることができる。



**【特許請求の範囲】**

**【請求項1】** MOSトランジスタによって構成されるスイッチによってキャパシタの充放電を制御するスイッチトキャパシタ回路であって、

前記スイッチを構成するMOSトランジスタのチャンネル内の電界を制御することにより、当該スイッチのオン時には当該MOSトランジスタのしきい値電圧の絶対値を小さくし、当該スイッチのオフ時には当該MOSトランジスタのしきい値電圧の絶対値を大きくすることを特徴とするスイッチトキャパシタ回路。

**【請求項2】** MOSトランジスタによって構成される複数のスイッチと、当該スイッチに接続されたキャパシタとを有し、複数の前記スイッチを交互にオン・オフ制御することにより、前記キャパシタの充放電を制御するスイッチトキャパシタ回路であって、

複数の前記スイッチを構成する複数のMOSトランジスタのチャンネル内の電界を制御することにより、複数の前記スイッチのうち、オン状態のスイッチを構成する複数のMOSトランジスタのしきい値電圧の絶対値を同時に小さくし、オフ状態のスイッチを構成する複数のMOSトランジスタのしきい値電圧の絶対値を同時に大きくすることを特徴とするスイッチトキャパシタ回路。

**【請求項3】** 請求項1または請求項2に記載のスイッチトキャパシタ回路において、

前記スイッチは、NチャネルMOSトランジスタまたはPチャネルMOSトランジスタの少なくとも一方から成ることを特徴とするスイッチトキャパシタ回路。

**【請求項4】** 請求項3に記載のスイッチトキャパシタ回路において、

前記スイッチは、NチャネルMOSトランジスタとPチャネルMOSトランジスタとを備えたCMOS構成のトランスミッションゲートから成ることを特徴とするスイッチトキャパシタ回路。

**【請求項5】** 請求項3に記載のスイッチトキャパシタ回路において、

前記スイッチは、半導体基板上に絶縁体層を介して形成された単結晶半導体層にて構成されたMOSトランジスタから成り、

少なくとも前記MOSトランジスタのチャンネル領域に対向し、前記絶縁体層内に埋め込まれた埋め込み電極と、当該埋め込み電極に接続された基板電圧制御端子とを備え、

前記スイッチのオン時には、前記MOSトランジスタのしきい値電圧の絶対値を小さくする第1の制御電圧を前記基板電圧制御端子に印加し、

前記スイッチのオフ時には、前記MOSトランジスタのしきい値電圧の絶対値を大きくする第2の制御電圧を前記基板電圧制御端子に印加することを特徴とするスイッチトキャパシタ回路。

**【請求項6】** 請求項3または請求項4に記載のスイッ

チトキャパシタ回路において、

前記スイッチは、

半導体基板上に絶縁体層を介して形成された第1の単結晶半導体層にて構成されたNチャネルMOSトランジスタと、

当該半導体基板上に絶縁体層を介して形成された第2の単結晶半導体層にて構成されたPチャネルMOSトランジスタとから成り、

少なくとも前記NチャネルMOSトランジスタのチャンネル領域に対向し、前記絶縁体層内に埋め込まれた第1の埋め込み電極と、

少なくとも前記PチャネルMOSトランジスタのチャンネル領域に対向し、前記絶縁体層内に埋め込まれた第2の埋め込み電極と、

前記第1の埋め込み電極に接続された第1の基板電圧制御端子と、

前記第2の埋め込み電極に接続された第2の基板電圧制御端子とを備えたスイッチトキャパシタ回路であって、

前記スイッチのオン時には、前記NチャネルMOSトランジスタのしきい値電圧の絶対値を小さくする第3の制御電圧を前記第1の基板電圧制御端子に印加すると共に、前記PチャネルMOSトランジスタのしきい値電圧の絶対値を小さくする第4の制御電圧を前記第2の基板電圧制御端子に印加し、

前記スイッチのオフ時には、前記NチャネルMOSトランジスタのしきい値電圧の絶対値を大きくする第5の制御電圧を前記第1の基板電圧制御端子に印加すると共に、前記PチャネルMOSトランジスタのしきい値電圧の絶対値を大きくする第6の制御電圧を前記第2の基板電圧制御端子に印加することを特徴とするスイッチトキャパシタ回路。

**【請求項7】** 請求項3に記載のスイッチトキャパシタ回路において、

前記スイッチは、半導体基板上のウェルに形成されたMOSトランジスタから成り、

前記ウェル上に形成された拡散層と、

当該拡散層に接続された基板電圧制御端子とを備え、

前記スイッチのオン時には、前記MOSトランジスタのしきい値電圧の絶対値を小さくする第1の制御電圧を前記基板電圧制御端子に印加し、

前記スイッチのオフ時には、前記MOSトランジスタのしきい値電圧の絶対値を大きくする第2の制御電圧を前記基板電圧制御端子に印加することを特徴とするスイッチトキャパシタ回路。

**【請求項8】** 請求項3または請求項4に記載のスイッチトキャパシタ回路において、

前記スイッチは、

半導体基板上のPウェルに形成されたNチャネルMOSトランジスタと、

半導体基板上のNウェルに形成されたPチャネルMOS

トランジスタとから成り、  
 前記Pウェル上に形成されたP型拡散層と、  
 前記Nウェル上に形成されたN型拡散層と前記P型拡散層に接続された第1の基板電圧制御端子と、  
 前記N型拡散層に接続された第2の基板電圧制御端子とを備えたスイッチトキャパシタ回路であって、  
 前記スイッチのオン時には、前記NチャネルMOSトランジスタのしきい値電圧の絶対値を小さくする第3の制御電圧を前記第1の基板電圧制御端子に印加すると共に、前記PチャネルMOSトランジスタのしきい値電圧の絶対値を小さくする第4の制御電圧を前記第2の基板電圧制御端子に印加し、  
 前記スイッチのオフ時には、前記NチャネルMOSトランジスタのしきい値電圧の絶対値を大きくする第5の制御電圧を前記第1の基板電圧制御端子に印加すると共に、前記PチャネルMOSトランジスタのしきい値電圧の絶対値を大きくする第6の制御電圧を前記第2の基板電圧制御端子に印加することを特徴とするスイッチトキャパシタ回路。

【請求項9】 請求項1～8のいずれか1項に記載のスイッチトキャパシタ回路において、  
 前記スイッチを構成するMOSトランジスタの基板電圧とゲート電圧とを等しくすることを特徴とするスイッチトキャパシタ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はスイッチトキャパシタ回路に関するものである。

【0002】

【従来の技術】 従来より、MOS構造のキャパシタの充放電を、MOSトランジスタによって構成されたスイッチによって制御することにより、積分器、加算器、アナログフィルタ、A/D変換器、D/A変換器、発振器などの各種アナログ回路を実現するスイッチトキャパシタ回路が広く利用されている（武部 他著「スイッチトキャパシタ回路」発行：現代工学社 参照）。

【0003】 図12に、従来のスイッチトキャパシタ積分器101の回路構成を示す。スイッチトキャパシタ積分器101は、積分器の入力端子1、演算増幅器2、積分容量3、サンプリング容量4、スイッチ5～8、基準電圧入力端子9、積分器の出力端子10から構成されている。

【0004】 入力端子1と演算増幅器2の反転入力端子との間には、スイッチ5、サンプリング容量4、スイッチ8がこの順番で直列に接続されている。スイッチ5とサンプリング容量4の間のノードAと基準電圧入力端子9との間にはスイッチ6が接続され、サンプリング容量4とスイッチ8との間のノードBと基準電圧入力端子9との間にはスイッチ7が接続され、基準電圧入力端子9と演算増幅器2の非反転入力端子とは接続されている。

演算増幅器2の反転入力端子と出力端子10との間には積分容量3が接続されている。

【0005】 各スイッチ5～8はCMOS構成のトランスマッションゲート（アナログスイッチ）から成り、各スイッチ5～8をそれぞれ構成する各NチャネルMOSトランジスタには各ゲート端子50、60、70、80が設けられ、各スイッチ5～8をそれぞれ構成する各PチャネルMOSトランジスタには各ゲート端子51、61、71、81が設けられている。

【0006】 尚、各スイッチ5～8を構成する各NチャネルMOSトランジスタの基板電圧は、グランド電圧（＝0V）に固定されている。また、各スイッチ5～8を構成する各PチャネルMOSトランジスタの基板電圧は、電源電圧に固定されている。

【0007】 各スイッチ5～8のオン・オフは、自身を構成するNチャネルMOSトランジスタおよびPチャネルMOSトランジスタが同時にオン・オフすることによってなされる。つまり、各ゲート端子50、60、70、80、51、61、71、81には、各スイッチ5～8をそれぞれ構成するNチャネルおよびPチャネルの両MOSトランジスタが同時にオン・オフするような論理レベルの制御信号が入力される。例えば、スイッチ5をオンさせるには、ゲート端子50に論理レベル「1」の制御信号を入力してNチャネルMOSトランジスタをオンさせると共に、ゲート端子51に論理レベル「0」の制御信号を入力してPチャネルMOSトランジスタをオンさせる。

【0008】 図13に、スイッチトキャパシタ積分器101の各スイッチ5～8に入力される制御信号のタイミングチャートを示す。各制御信号f1、f2は、互いの論理レベルが「1」となる重複期間が存在せず、互いの論理レベルが「0」となる非重複期間が存在する2相クロックである。各制御信号バーf1、バーf2はそれぞれ、各制御信号f1、f2の論理レベルを反転させた2相クロックである。

【0009】 スwitchトキャパシタ積分器101を逆相積分器として動作させるには、各スイッチ5、8を制御信号f1、バーf1に従ってオン・オフさせ、各スイッチ6、7を制御信号f2、バーf2に従ってオン・オフさせればよい。すなわち、各スイッチ5、8を構成するNチャネルMOSトランジスタの各ゲート端子50、80に制御信号f1を入力し、各スイッチ5、8を構成するPチャネルMOSトランジスタの各ゲート端子51、81に制御信号バーf1を入力し、各スイッチ6、7を構成するNチャネルMOSトランジスタの各ゲート端子60、70に制御信号f2を入力し、各スイッチ6、7を構成するPチャネルMOSトランジスタの各ゲート端子61、71に制御信号バーf2を入力する。

【0010】 また、スイッチトキャパシタ積分器101を正相積分器として動作させるには、各スイッチ5、7

を制御信号  $f_1$ 、バー  $f_1$  に従ってオン・オフさせ、各スイッチ 6、8 を制御信号  $f_2$ 、バー  $f_2$  に従ってオン・オフさせればよい。すなわち、各スイッチ 5、7 を構成する N チャンネル MOS トランジスタの各ゲート端子 50、70 に制御信号  $f_1$  を入力し、各スイッチ 5、7 を構成する P チャンネル MOS トランジスタの各ゲート端子 51、71 に制御信号バー  $f_1$  を入力し、各スイッチ 6、8 を構成する N チャンネル MOS トランジスタの各ゲート端子 60、80 に制御信号  $f_2$  を入力し、各スイッチ 6、8 を構成する P チャンネル MOS トランジスタの各ゲート端子 61、81 に制御信号バー  $f_2$  を入力する。

【0011】尚、スイッチトキャパシタ積分器 101 の具体的な動作については、前掲書（「スイッチトキャパシタ回路」）に詳述されており公知であるため、説明を省略する。

【0012】

【発明が解決しようとする課題】近年、電子機器に対する低消費電力化の要求がますます高まっており、スイッチトキャパシタ回路においても低消費電力化が求められている。一般に MOS トランジスタによって構成される論理回路の消費電力は電源電圧の 2 乗に比例して低減される。アナログ回路であるスイッチトキャパシタ回路においても低電圧化は低消費電力化に大きな効果がある。しかし、電源電圧を下げた場合、通常のしきい値電圧の MOS トランジスタはオンしなくなってしまう。

【0013】例えば、スイッチトキャパシタ積分器 101 において、電源電圧が 1V で、N チャンネル MOS トランジスタのしきい値電圧が +0.6V、P チャンネル MOS トランジスタのしきい値電圧が -0.6V の場合について考えてみる。尚、各 MOS トランジスタのしきい値電圧は、それぞれのソース電圧に対する値として表されている。つまり、N チャンネル MOS トランジスタのソース電圧はグランド電圧であるため、しきい値電圧の実際の値は 0.6V ( $=0+0.6$ ) になる。また、P チャンネル MOS トランジスタのソース電圧は電源電圧であるため、しきい値電圧の実際の値は 0.4V ( $=1-0.6$ ) になる。

【0014】ところで、1V の電源電圧は電池駆動の最低電圧であり、スイッチトキャパシタ回路を電池駆動の携帯電子機器に利用するには、1V の電源電圧で正常動作が可能であることが望ましい。ここで、スイッチ 6 を構成する N チャンネル MOS トランジスタに着目すると、そのソース端子は基準電圧入力端子 9 に接続されているため、当該トランジスタのソース電圧は、スイッチトキャパシタ積分器 101 の基準電圧と同じになる。スイ

$$Q1 = C0 \cdot (V_{out1} - V_{ref})$$

…………… (式 1)

ここで、スイッチ 8 のリーク電流を  $I_{r8}$ 、スイッチ 7 がオンしている時間を  $t$  とすると、積分容量 3 から各スイッチ 7、8 を経由して基準電圧入力端子 9 側へ流出す

$$Q2 = t \cdot I_{r8}$$

…………… (式 2)

トキャパシタ積分器 101 の基準電圧は、一般に、電源電圧とグランド電圧との中間電圧に設定されているため、この場合は 0.5V になる。従って、当該トランジスタのゲート端子 60 に電源電圧と同じ 1V が入力されても、当該トランジスタのソース・ゲート間電圧は 0.5V にしかならず、N チャンネル MOS トランジスタのしきい値電圧である 0.6V を上回ることができないため、当該トランジスタはオンしないことになる。

【0015】同様に、スイッチ 6 を構成する P チャンネル MOS トランジスタや、他のスイッチ 6 を構成する N チャンネルおよび P チャンネルの各トランジスタについてもオンしないことになる。この問題を回避するには、しきい値電圧の絶対値が低い MOS トランジスタを用いればよく、例えば、電源電圧が 1V で、基準電圧が 0.5V の場合、N チャンネル MOS トランジスタのしきい値電圧を +0.3V にし、P チャンネル MOS トランジスタのしきい値電圧を -0.3V にすればよい。

【0016】図 14 に、一般的な MOS トランジスタのしきい値電圧とリーク電流の関係を示す。図 14 において、横軸は MOS トランジスタのしきい値電圧の絶対値であり、縦軸はしきい値電圧の絶対値が 0.6V のときのリーク電流値を 1 として正規化したリーク電流値である。

【0017】しきい値電圧の絶対値が小さくなるとリーク電流は指数関数的に増加し、例えば、しきい値電圧の絶対値を 0.6V から 0.3V に下げるとリーク電流は数千倍にも増加する。このようにリーク電流が増加すると、スイッチトキャパシタ積分器 101 における積分容量 3 およびサンプリング容量 4 に蓄積された電荷が抜けてしまい、スイッチトキャパシタ回路の原理である容量間の電荷保存則が成立しなくなるため、出力端子 10 から出力される積分結果の精度が低くなってしまふ。

【0018】ここで、スイッチトキャパシタ積分器 101 を逆相積分器として動作させた場合におけるスイッチ 8 のリーク電流を例にとりて説明する。尚、説明を分かりやすくするため、各スイッチ 5～7 のリーク電流は零とみなす。制御信号  $f_2$  の論理レベルが「1」に切り換わり各スイッチ 6、7 がオンしたとき、制御信号  $f_2$  の論理レベルが切り変わった直後における出力端子 10 の電圧を  $V_{out1}$ 、基準電圧入力端子 9 の電圧を  $V_{ref}$  とすると、この時点において積分容量 3 に蓄積されている電荷  $Q1$  は、式 (1) によって求められる。尚、積分容量 3 の容量値は  $C0$  とする。

【0019】

る電荷の総量  $Q2$  は、式 (2) によって求められる。

【0020】

従って、制御信号 f 2 の論理レベルが「1」から「0」に切り換わる直前における出力端子 10 の電圧を  $V_{out2}$  とすると、この時点において積分容量 3 に蓄積され

$$\begin{aligned} Q3 &= C0 \cdot (V_{out2} - V_{ref}) \\ &= Q1 - Q2 \\ &= C0 \cdot (V_{out1} - V_{ref}) - (t \cdot I_{r8}) \end{aligned}$$

..... (式3)

式 (3) より式 (4) が求められる。

$$\begin{aligned} &(V_{out2} - V_{ref}) \\ &= (V_{out1} - V_{ref}) - (t \cdot I_{r8}) / C0 \end{aligned} \quad \text{..... (式4)}$$

式 (4) より、リーク電流  $I_{r8}$  が十分に小さく無視できる場合は積分容量 3 の電荷が保存され、 $V_{out2}$  と  $V_{out1}$  とがほぼ等しい値になるため、出力端子 10 から出力される積分結果の精度を高くすることができる。しかし、リーク電流  $I_{r8}$  が大きい場合には積分容量 3 の電荷が保存されなくなり、 $V_{out2}$  と  $V_{out1}$  とが異なった値になるため、出力端子 10 から出力される積分結果の精度が低くなってしまふ。

【0023】同様に、各スイッチ 5～7 についても、リーク電流が大きい場合には積分容量 3 およびサンプリング容量 4 の電荷が抜けてしまうため、出力端子 10 から出力される積分結果の精度が低くなってしまふ。このように、しきい値電圧の低い MOS トランジスタを用いるとリーク電流が増大するため、電源電圧を下げた場合、従来のスイッチトキャパシタ積分器 101 では積分精度が低下して使用できなくなるという問題があった。

【0024】尚、この問題は、積分器に限らず、スイッチトキャパシタ回路によって構成された各種アナログ回路（加算器、アナログフィルタ、A/D 変換器、D/A 変換器、発振器など）においても同様に起こる。ちなみに、この問題については、信学技報：ICD94-91（1994-08）「低電圧 A/D、D/A 変換技術」においても述べられている。

【0025】本発明は上記問題点を解決するためになされたものであって、その目的は、低消費電力化を図るために低電源電圧化を行った際に、リーク電流の増大を防止して高精度な動作を実現することが可能なスイッチトキャパシタ回路を提供することにある。

【0026】

【課題を解決するための手段】かかる目的を達成するためになされた請求項 1 に記載の発明は、MOS トランジスタによって構成されるスイッチによってキャパシタの充放電を制御するスイッチトキャパシタ回路に関するものである。そして、前記スイッチを構成する MOS トランジスタのチャネル内の電界を制御することにより、当該スイッチのオン時には当該 MOS トランジスタのしきい値電圧の絶対値を小さくし、当該スイッチのオフ時には当該 MOS トランジスタのしきい値電圧の絶対値を大きくする。

【0027】従って、本発明によれば、スイッチのオフ

ている電荷  $Q3$  は式 (1) (2) より、式 (3) によって求められる。

【0021】

【0022】

時に MOS トランジスタのしきい値電圧の絶対値を大きくすることにより、当該 MOS トランジスタのリーク電流を低減することができる。そのため、スイッチトキャパシタ回路の原理である容量間の電荷保存則が成立し、スイッチトキャパシタ回路の高精度な動作を実現することができる。

【0028】また、スイッチのオン時に MOS トランジスタのしきい値電圧の絶対値を小さくすることにより、電源電圧が低い場合でも、当該 MOS トランジスタを確実にオンさせることが可能になる。そのため、電源電圧を低減してスイッチトキャパシタ回路の低消費電力化を図ることができる。尚、スイッチのオン時には、MOS トランジスタのしきい値電圧の絶対値が小さくなってリーク電流が増大したとしても、キャパシタに充電される電荷には何ら影響を与えないため、スイッチトキャパシタ回路の動作精度が低下することはない。

【0029】次に、請求項 2 に記載の発明は、MOS トランジスタによって構成される複数のスイッチと、当該スイッチに接続されたキャパシタとを有し、複数の前記スイッチを交互にオン・オフ制御することにより、前記キャパシタの充放電を制御するスイッチトキャパシタ回路であって、複数の前記スイッチを構成する複数の MOS トランジスタのチャネル内の電界を制御することにより、複数の前記スイッチのうち、オン状態のスイッチを構成する複数の MOS トランジスタのしきい値電圧の絶対値を同時に小さくし、オフ状態のスイッチを構成する複数の MOS トランジスタのしきい値電圧の絶対値を同時に大きくすることを特徴とする。

【0030】ところで、請求項 1 に記載のスイッチトキャパシタ回路における前記スイッチは、請求項 4 に記載の発明のように、N チャネル MOS トランジスタと P チャネル MOS トランジスタとを備えた CMOS 構成のトランスマッションゲートから成るか、または、請求項 3 に記載の発明のように、N チャネル MOS トランジスタまたは P チャネル MOS トランジスタの少なくとも一方から成る。

【0031】次に、請求項 5 に記載の発明は、請求項 3 に記載のスイッチトキャパシタ回路において、前記スイッチは、半導体基板上に絶縁体層を介して形成された単結晶半導体層にて構成された MOS トランジスタから成

る。そして、スイッチトキャパシタ回路は、少なくとも前記MOSトランジスタのチャネル領域に対向し、前記絶縁体層内に埋め込まれた埋め込み電極と、当該埋め込み電極に接続された基板電圧制御端子とを備える。ここで、前記スイッチのオン時には、前記MOSトランジスタのしきい値電圧の絶対値を小さくする第1の制御電圧を前記基板電圧制御端子に印加する。また、前記スイッチのオフ時には、前記MOSトランジスタのしきい値電圧の絶対値を大きくする第2の制御電圧を前記基板電圧制御端子に印加する。

【0032】従って、本発明によれば、SOI構造のNチャネルおよびPチャネルのMOSトランジスタによって前記スイッチを具体化することができ、基板電圧制御端子に制御電圧を印加することにより、埋め込み電極の電圧を調整することができる。そして、基板電圧は埋め込み電極の電圧と等しくなるため、基板電圧制御端子に印加する制御電圧を調整することにより基板電圧を制御することが可能になるため、しきい値電圧を所望の値に設定することができる。

【0033】次に、請求項6に記載の発明は、請求項3または請求項4に記載のスイッチトキャパシタ回路において、前記スイッチは、半導体基板上に絶縁体層を介して形成された第1の単結晶半導体層にて構成されたNチャネルMOSトランジスタと、当該半導体基板上に絶縁体層を介して形成された第2の単結晶半導体層にて構成されたPチャネルMOSトランジスタとから成る。そして、スイッチトキャパシタ回路は、少なくとも前記NチャネルMOSトランジスタのチャネル領域に対向し、前記絶縁体層内に埋め込まれた第1の埋め込み電極と、少なくとも前記PチャネルMOSトランジスタのチャネル領域に対向し、前記絶縁体層内に埋め込まれた第2の埋め込み電極と、前記第1の埋め込み電極に接続された第1の基板電圧制御端子と、前記第2の埋め込み電極に接続された第2の基板電圧制御端子とを備えている。ここで、前記スイッチのオン時には、前記NチャネルMOSトランジスタのしきい値電圧の絶対値を小さくする第3の制御電圧を前記第1の基板電圧制御端子に印加すると共に、前記PチャネルMOSトランジスタのしきい値電圧の絶対値を小さくする第4の制御電圧を前記第2の基板電圧制御端子に印加する。また、前記スイッチのオフ時には、前記NチャネルMOSトランジスタのしきい値電圧の絶対値を大きくする第5の制御電圧を前記第1の基板電圧制御端子に印加すると共に、前記PチャネルMOSトランジスタのしきい値電圧の絶対値を大きくする第6の制御電圧を前記第2の基板電圧制御端子に印加する。

【0034】従って、本発明によれば、SOI構造のNチャネルおよびPチャネルのMOSトランジスタによって前記スイッチを具体化することができ、基板電圧制御端子に制御電圧を印加することにより、埋め込み電極の

電圧を調整することができる。そして、基板電圧は埋め込み電極の電圧と等しくなるため、基板電圧制御端子に印加する制御電圧を調整することにより基板電圧を制御することが可能になるため、しきい値電圧を所望の値に設定することができる。

【0035】次に、請求項7に記載の発明は、請求項3に記載のスイッチトキャパシタ回路において、前記スイッチは、半導体基板上のウェルに形成されたMOSトランジスタから成る。そして、スイッチトキャパシタ回路は、前記ウェル上に形成された拡散層と、当該拡散層に接続された基板電圧制御端子とを備えている。ここで、前記スイッチのオン時には、前記MOSトランジスタのしきい値電圧の絶対値を小さくする第1の制御電圧を前記基板電圧制御端子に印加する。また、前記スイッチのオフ時には、前記MOSトランジスタのしきい値電圧の絶対値を大きくする第2の制御電圧を前記基板電圧制御端子に印加する。

【0036】従って、本発明によれば、基板電圧制御端子に制御電圧を印加することにより、前記拡散層の電圧を調整することができる。そして、基板電圧は前記拡散層の電圧と等しくなるため、基板電圧制御端子に印加する制御電圧を調整することにより基板電圧を制御することが可能になるため、しきい値電圧を所望の値に設定することができる。

【0037】次に、請求項8に記載の発明は、請求項3または請求項4に記載のスイッチトキャパシタ回路において、前記スイッチは、半導体基板上のPウェルに形成されたNチャネルMOSトランジスタと、半導体基板上のNウェルに形成されたPチャネルMOSトランジスタとから成る。そして、スイッチトキャパシタ回路は、前記Pウェル上に形成されたP型拡散層と、前記Nウェル上に形成されたN型拡散層と前記P型拡散層に接続された第1の基板電圧制御端子と、前記N型拡散層に接続された第2の基板電圧制御端子とを備えている。ここで、前記スイッチのオン時には、前記NチャネルMOSトランジスタのしきい値電圧の絶対値を小さくする第3の制御電圧を前記第1の基板電圧制御端子に印加すると共に、前記PチャネルMOSトランジスタのしきい値電圧の絶対値を小さくする第4の制御電圧を前記第2の基板電圧制御端子に印加する。また、前記スイッチのオフ時には、前記NチャネルMOSトランジスタのしきい値電圧の絶対値を大きくする第5の制御電圧を前記第1の基板電圧制御端子に印加すると共に、前記PチャネルMOSトランジスタのしきい値電圧の絶対値を大きくする第6の制御電圧を前記第2の基板電圧制御端子に印加する。

【0038】従って、本発明によれば、基板電圧制御端子に制御電圧を印加することにより、前記拡散層の電圧を調整することができる。そして、基板電圧は前記拡散層の電圧と等しくなるため、基板電圧制御端子に印加す



る制御電圧を調整することにより基板電圧を制御することが可能になるため、しきい値電圧を所望の値に設定することができる。

【0039】次に、請求項9に記載の発明は 請求項1～8のいずれか1項に記載のスイッチトキャパシタ回路において、前記スイッチを構成するMOSトランジスタの基板電圧とゲート電圧とを等しくする。従って、本発明によれば、基板電圧とゲート電圧とが等しいため、基板電圧を制御する制御回路として、ゲート電圧を制御する制御回路を流用することが可能になり、基板電圧を制御する制御回路を独立して設ける必要がないことから、制御回路の構成を簡略化することができる。

#### 【0040】

【発明の実施の形態】（第1実施形態）以下、本発明を具体化した第1実施形態を図面と共に説明する。尚、本実施形態において、図12に示した従来の形態と同じ構成部材については符号を等しくしてその詳細な説明を省略する。

【0041】図1に、第1実施形態のスイッチトキャパシタ積分器11の回路構成を示す。スイッチトキャパシタ積分器11の構成において、図12に示した従来のスイッチトキャパシタ積分器101の構成と異なるのは以下の点だけである。

(1) 各スイッチ5～8を構成する各NチャネルMOSトランジスタに、それぞれの基板電圧を制御するための基板電圧制御端子52、62、72、82が設けられており、後述するように、各基板電圧制御端子に制御電圧を印加することにより、当該基板電圧を印加した制御電圧に等しくする。

【0042】(2) 各スイッチ5～8を構成する各PチャネルMOSトランジスタに、それぞれの基板電圧を制御するための基板電圧制御端子53、63、73、83が設けられており、後述するように、各基板電圧制御端子に制御電圧を印加することにより、当該基板電圧を印加した制御電圧に等しくする。

【0043】次に、スイッチトキャパシタ積分器11の動作について説明する。スイッチトキャパシタ積分器11の各スイッチ5～8に入力される制御信号 $f_1$ 、 $f_2$ 、 $\overline{f_1}$ 、 $\overline{f_2}$ は、図13に示すスイッチトキャパシタ積分器101におけるそれと同じである。そして、スイッチトキャパシタ積分器11を逆相積分器または正相積分器として動作させる方法についても、スイッチトキャパシタ積分器101におけるそれと同じである。

【0044】図2に、各基板電圧制御端子52、62、72、82、53、63、73、83に印加される制御電圧と、各スイッチ5～8を構成するNチャネルおよびPチャネルMOSトランジスタのしきい値電圧との関係を示す。NチャネルMOSトランジスタにおいて、各基板電圧制御端子52、62、72、82に印加する制御

電圧を $V_{CH}$ から $V_{CL}$ へ増大させると、しきい値電圧は $V_{TH}$ から $V_{TL}$ へ減少する。

【0045】また、PチャネルMOSトランジスタにおいて、各基板電圧制御端子53、63、73、83に印加する制御電圧を $-V_{CH}$ から $-V_{CL}$ へ減少させると、しきい値電圧は $-V_{TH}$ から $-V_{TL}$ へ増大する。尚、各基板電圧制御端子52、62、72、82、53、63、73、83に印加される制御電圧 $V_{CH}$ 、 $V_{CL}$ 、 $-V_{CH}$ 、 $-V_{CL}$ および各MOSトランジスタのしきい値電圧 $V_{TH}$ 、 $V_{TL}$ 、 $-V_{TH}$ 、 $-V_{TL}$ は、それぞれのMOSトランジスタのソース電圧に対する値として表されている。

【0046】ここで、特許請求の範囲または課題を解決するための手段に記載の「第1の制御電圧」は制御電圧 $V_{CL}$ または $-V_{CL}$ に相当し、同じく「第2の制御電圧」は制御電圧 $V_{CH}$ または $-V_{CH}$ に相当し、同じく「第3の制御電圧」は制御電圧 $V_{CL}$ に相当し、同じく「第4の制御電圧」は制御電圧 $-V_{CL}$ に相当し、同じく「第5の制御電圧」は制御電圧 $V_{CH}$ に相当し、同じく「第6の制御電圧」は制御電圧 $-V_{CH}$ に相当する。

【0047】スイッチトキャパシタ積分器11において、各スイッチ5～8のオフ時には、自身を構成するMOSトランジスタのしきい値電圧の絶対値が大きくなるように、当該MOSトランジスタの基板電圧を制御する。すなわち、各スイッチ5～8のオフ時には、各基板電圧制御端子52、62、72、82に印加する制御電圧を $V_{CH}$ にすることにより、NチャネルMOSトランジスタのしきい値電圧を $V_{TH}$ にすると共に、各基板電圧制御端子53、63、73、83に印加する制御電圧を $-V_{CH}$ にすることにより、PチャネルMOSトランジスタのしきい値電圧を $-V_{TH}$ にする。

【0048】このように、各スイッチ5～8のオフ時にMOSトランジスタのしきい値電圧の絶対値を大きくすることにより、当該MOSトランジスタのリーク電流を低減することができる。従って、積分容量3およびサンプリング容量4に蓄積された電荷が抜け難くなり、スイッチトキャパシタ回路の原理である容量間の電荷保存則が成立するため、スイッチトキャパシタ積分器11の出力端子10から出力される積分結果の精度を向上させることができる。

【0049】また、スイッチトキャパシタ積分器11において、各スイッチ5～8のオン時には、自身を構成するMOSトランジスタのしきい値電圧の絶対値が小さくなるように、当該MOSトランジスタの基板電圧を制御する。すなわち、各スイッチ5～8のオン時には、各基板電圧制御端子52、62、72、82に印加する制御電圧を $V_{CL}$ にすることにより、NチャネルMOSトランジスタのしきい値電圧を $V_{TL}$ にすると共に、各基板電圧制御端子53、63、73、83に印加する制御電圧を $-V_{CL}$ にすることにより、PチャネルMOSトランジスタのしきい値電圧を $-V_{TL}$ にする。



【0050】このように、各スイッチ5～8のオン時にMOSトランジスタのしきい値電圧の絶対値を小さくすることにより、電源電圧が低い場合でも、当該MOSトランジスタを確実にオンさせることが可能になる。そのため、電源電圧を低減してスイッチトキャパシタ積分器11の低消費電力化を図ることができる。

【0051】尚、各スイッチ5～8のオン時には、MOSトランジスタのしきい値電圧の絶対値が小さくなってリーク電流が増大したとしても、積分容量3およびサンプリング容量4に充電される電荷には何ら影響を与えないため、スイッチトキャパシタ積分器11の積分精度が低下することはない。

【0052】例えば、スイッチトキャパシタ積分器11において、電源電圧が1V、基準電圧が0.5Vで、NチャネルMOSトランジスタのしきい値電圧 $V_{TH}$ が0.6V、 $V_{TL}$ が0.3V、PチャネルMOSトランジスタのしきい値電圧 $-V_{TH}$ が-0.6V、 $-V_{TL}$ が-0.3Vの場合について考えてみる。

【0053】尚、各基板電圧制御端子52、62、72、82、53、63、73、83に印加される制御電圧および各MOSトランジスタのしきい値電圧は、それぞれのMOSトランジスタのソース電圧に対する値として表されている。つまり、NチャネルMOSトランジスタのソース電圧はグランド電圧であるため、しきい値電圧 $V_{TH}$ の実際の値は0.6V ( $=0+0.6$ )、しきい値電圧 $V_{TL}$ の実際の値は0.3V ( $=0+0.3$ )、制御電圧 $V_{CH}$ の実際の値は $V_{CH}$  ( $=0+V_{CH}$ )、制御電圧 $V_{CL}$ の実際の値は $V_{CL}$  ( $=0+V_{CL}$ )になる。また、PチャネルMOSトランジスタのソース電圧は電源電圧であるため、しきい値電圧 $-V_{TH}$ の実際の値は0.4V ( $=1-0.6$ )、しきい値電圧 $-V_{TL}$ の実際の値は0.7V ( $=1-0.3$ )、制御電圧 $-V_{CH}$ の実際の値は $(1-V_{CH})$ 、制御電圧 $-V_{CL}$ の実際の値は $(1-V_{CL})$ になる。

【0054】ここで、スイッチ6を構成するNチャネルMOSトランジスタに着目すると、そのゲート端子60に電源電圧と等しい1Vの電圧を印加して、当該MOSトランジスタをオンさせる場合、そのソース・ゲート間電圧は0.5Vであるから、当該MOSトランジスタがオンするには、しきい値電圧が0.5V未満でなければならない。そこで、当該MOSトランジスタのしきい値電圧が0.3Vとなるように、基板電圧制御端子62に印加する制御電圧を $V_{CL}$ にする。

【0055】また、当該MOSトランジスタのゲート端子60にグランド電圧を印加して、当該MOSトランジスタをオフさせる場合、基板電圧制御端子62に印加する制御電圧を $V_{CL}$ とすると、図14に示すように、リーク電流は $I_{TL}$ と大きくなる。そのため、サンプリング容量4に蓄積されている電荷は、当該MOSトランジスタのリーク電流と成って基準電圧入力端子9側へ流出して

しまう。ここで、当該MOSトランジスタのしきい値電圧を0.6Vにすれば、リーク電流は十分に小さく無視できる値になる。そこで、当該MOSトランジスタのしきい値電圧が0.6Vになるように、基板電圧制御端子62に印加する制御電圧を $V_{CH}$ にする。

【0056】以上詳述したように、本実施形態によれば、低消費電力化を図るために低電源電圧化を行った際に、リーク電流の増大を防止して高い積分精度を得ることが可能なスイッチトキャパシタ積分器11を実現することができる。図3に、スイッチトキャパシタ積分器11の各スイッチ5～8に入力される制御信号 $f_1$ 、 $f_2$ 、 $\overline{f_1}$ 、 $\overline{f_2}$ および制御電圧 $V_{CH}$ 、 $V_{CL}$ を生成する制御回路12の回路構成例を示す。

【0057】制御回路12は、CMOSインバータ回路13～16および入力端子17、18から構成されている。インバータ回路13は、外部から入力端子18に入力される制御信号 $f_2$ の論理レベルを反転させて制御信号 $\overline{f_2}$ を生成する。インバータ回路14は、インバータ回路13から出力される制御信号 $\overline{f_2}$ の論理レベルを反転させて制御信号 $f_2$ を生成する。インバータ回路15は、外部から入力端子17に入力される制御信号 $f_1$ の論理レベルを反転させて制御信号 $\overline{f_1}$ を生成する。インバータ回路16は、インバータ回路15から出力される制御信号 $\overline{f_1}$ の論理レベルを反転させて制御信号 $f_1$ を生成する。

【0058】尚、図3には、スイッチトキャパシタ積分器11を逆相増幅器として動作させる場合における、スイッチトキャパシタ積分器11と制御回路12との接続構成を示してある。ここで、各制御電圧 $V_{CH}$ 、 $-V_{CL}$ の実際の値はグランド電圧に等しく、各制御電圧 $V_{CL}$ 、 $-V_{CH}$ の実際の値は電源電圧に等しく設定されている。また、各制御信号 $f_1$ 、 $f_2$ 、 $\overline{f_1}$ 、 $\overline{f_2}$ の論理レベル「0」はグランド電圧に等しく、論理レベル「1」は電源電圧に等しく設定されている。

【0059】そのため、スイッチトキャパシタ積分器11を逆相増幅器として動作させるには、各スイッチ5、8を構成するNチャネルMOSトランジスタの各ゲート端子50、80および基板電圧制御端子52、82に制御信号 $f_1$ を入力し、各スイッチ5、8を構成するPチャネルMOSトランジスタの各ゲート端子51、81および基板電圧制御端子53、83に制御信号 $\overline{f_1}$ を入力し、各スイッチ6、7を構成するNチャネルMOSトランジスタの各ゲート端子60、70および基板電圧制御端子62、72に制御信号 $f_2$ を入力し、各スイッチ6、7を構成するPチャネルMOSトランジスタの各ゲート端子61、71および基板電圧制御端子63、73に制御信号 $\overline{f_2}$ を入力すればよい。

【0060】ところで、スイッチトキャパシタ積分器11を正相増幅器として動作させる場合には、スイッチトキャパシタ積分器11と制御回路12との接続構成を変

えればよく、各スイッチ5、7を構成するNチャネルMOSトランジスタの各ゲート端子50、70および基板電圧制御端子52、72に制御信号f1を入力し、各スイッチ5、7を構成するPチャネルMOSトランジスタの各ゲート端子51、71および基板電圧制御端子53、73に制御信号バーf1を入力し、各スイッチ6、8を構成するNチャネルMOSトランジスタの各ゲート端子60、80および基板電圧制御端子62、82に制御信号f2を入力し、各スイッチ6、8を構成するPチャネルMOSトランジスタの各ゲート端子61、81および基板電圧制御端子63、83に制御信号バーf2を入力すればよい。このように、制御回路12によれば、各ゲート端子50、60、70、80、51、61、71、81を制御するための制御回路と、各基板電圧制御端子52、62、72、82、53、63、73、83を制御するための制御回路とを兼用することができる。

【0061】ところで、従来のスイッチトキャパシタ積分器101の各ゲート端子50、60、70、80、51、61、71、81を制御するためにも、各制御信号f1、f2、バーf1、バーf2を生成する必要がある。そのため、スイッチトキャパシタ積分器101を制御するための制御回路は、制御回路12と同じ構成になる。従って、本実施形態において、制御回路12の構成が従来よりも複雑化することはない。

【0062】図4に、各スイッチ5～8を構成するNチャネルおよびPチャネルの各MOSトランジスタの断面構造の一例を示す。半導体基板としての単結晶シリコン基板20上に、絶縁体層としてのシリコン酸化膜21が形成されている。シリコン酸化膜21の表面に、第2（第1）の単結晶半導体層としての薄膜の単結晶シリコン層22（23）が形成されている。単結晶シリコン層22（23）上にゲート絶縁膜24（25）を介して、ポリシリコンから成るゲート電極26（27）が形成されている。また、シリコン酸化膜21中には、ポリシリコンから成る第2（第1）の埋め込み電極34（35）が埋め込まれている。単結晶シリコン層22（23）において、ゲート絶縁膜24（25）の下側に対応する部分には低不純物濃度のN<sup>-</sup>型（P<sup>-</sup>型）のチャネル領域54（55）が形成され、チャネル領域54（55）の両側には高不純物濃度のP<sup>+</sup>型（N<sup>+</sup>型）の拡散層から成るソース領域56（57）およびドレイン領域58（59）が形成されている。尚、埋め込み電極34（35）は、少なくともチャネル領域54（55）に対向して配置されている。ソース領域56（57）には金属電極から成るソース端子28（29）が接続され、ドレイン領域58（59）には金属電極から成るドレイン端子30（31）が接続され、ゲート電極26（27）には金属電極から成るゲート端子32（33）が接続され、埋め込み電極34（35）には金属電極から成る第2（第1）の基板電圧制御端子36（37）が接続されてい

る。そして、ソース領域56（57）、ドレイン領域58（59）、チャネル領域54（55）、ゲート電極26（27）により、Pチャネル（Nチャネル）MOSトランジスタ38（39）が構成されている。尚、上記の（）外の符号はPチャネルMOSトランジスタに対応し、（）内の符号はNチャネルMOSトランジスタに対応している。

【0063】以上のように構成されたSOI構造の各MOSトランジスタ38、39においては、基板電圧制御端子36、37に制御電圧を印加することにより、埋め込み電極34、35の電圧を調整することができる。そして、基板電圧は埋め込み電極34、35の電圧と等しくなるため、基板電圧制御端子36、37に印加する制御電圧を調整することにより基板電圧を制御することが可能になるため、上記したように、しきい値電圧を設定することができる。

【0064】図5に、各スイッチ5～8を構成するNチャネルおよびPチャネルの各MOSトランジスタの断面構造の別例を示す。尚、図5において、図4に示したのと同じ構成部材については符号を等しくしてある。P型またはN型の単結晶シリコン基板20上に、単結晶シリコン基板20と逆極性となるような低不純物濃度のN型またはP型のウェル46が形成されている。ウェル46中にはそれぞれ独立してNウェル40およびPウェル41が形成されている。Nウェル40（Pウェル41）の表面に、高不純物濃度のP<sup>+</sup>型（N<sup>+</sup>型）のソース領域66（67）およびドレイン領域68（69）が形成されている。ソース領域66（67）とドレイン領域68（69）とに挟まれたチャネル領域64（65）上に、ゲート絶縁膜24（25）を介して、ポリシリコンから成るゲート電極26（27）が形成されている。また、Nウェル40（Pウェル41）の表面に、高不純物濃度のN<sup>+</sup>型（P<sup>+</sup>型）の拡散層44（45）が形成されている。ソース領域66（67）には金属電極から成るソース端子28（29）が接続され、ドレイン領域68（69）には金属電極から成るドレイン端子30（31）が接続され、ゲート電極26（27）には金属電極から成るゲート端子32（33）が接続され、拡散層44（45）には金属電極から成る第2（第1）の基板電圧制御端子36（37）が接続されている。そして、ソース領域66（67）、ドレイン領域68（69）、チャネル領域64（65）、ゲート電極26（27）により、Pチャネル（Nチャネル）MOSトランジスタ74（75）が構成されている。尚、上記の（）外の符号はPチャネルMOSトランジスタに対応し、（）内の符号はNチャネルMOSトランジスタに対応している。

【0065】以上のように構成された各MOSトランジスタ74、75においては、基板電圧制御端子36、37に制御電圧を印加することにより、拡散層44、45の電圧を調整することができる。そして、基板電圧は拡

散層44、45の電圧と等しくなるため、基板電圧制御端子36、37に印加する制御電圧を調整することにより基板電圧を制御することが可能になるため、上記したように、しきい値電圧を設定することができる。

【0066】(第2実施形態)以下、本発明を具体化した第2実施形態を図面と共に説明する。尚、本実施形態において、第1実施形態と同じ構成部材については符号を等しくしてその詳細な説明を省略する。

【0067】図6に、第2実施形態のスイッチトキャパシタ積分器76の回路構成を示す。スイッチトキャパシタ積分器76の構成において、第1実施形態のスイッチトキャパシタ積分器11の構成と異なるのは、各スイッチ5~8がPチャネルMOSトランジスタのみから構成されている点だけである。

【0068】従って、スイッチトキャパシタ積分器76においても、各スイッチ5~8のオフ時にはPチャネルMOSトランジスタのしきい値電圧の絶対値が大きくなるように基板電圧を制御し、各スイッチ5~8のオン時にはPチャネルMOSトランジスタのしきい値電圧の絶対値が小さくなるように基板電圧を制御することにより、スイッチトキャパシタ積分器11と同様の作用および効果を得ることができる。

【0069】尚、スイッチトキャパシタ積分器76を制御するための制御回路例は、各制御信号バーf1、バーf2のみを生成すればよい。第1実施形態の制御回路12から各インバータ回路14、16を省いた回路構成になる。図7に、各スイッチ5~8を構成するPチャネルMOSトランジスタの断面構造の一例を示す。尚、図7に示すPチャネルMOSトランジスタの構造は、図4に示した第1実施形態のPチャネルMOSトランジスタ38と同じ構造であるため、同じ構成部材については符号を等しくしてその説明を省略する。

【0070】図8に、各スイッチ5~8を構成するPチャネルMOSトランジスタの断面構造の別例を示す。尚、図8において、図5に示した第1実施形態のPチャネルMOSトランジスタ74と同じ構成部材については符号を等しくしてある。P型の単結晶シリコン基板20上に、独立したNウェル40が形成されている。Nウェル40の表面に、高不純物濃度のP<sup>+</sup>型のソース領域66およびドレイン領域68が形成されている。ソース領域66とドレイン領域68とに挟まれたチャネル領域64上に、ゲート絶縁膜24を介して、ポリシリコンから成るゲート電極26が形成されている。また、Nウェル40の表面に、高不純物濃度のN<sup>+</sup>型の拡散層44が形成されている。ソース領域66には金属電極から成るソース端子28が接続され、ドレイン領域68には金属電極から成るドレイン端子30が接続され、ゲート電極26には金属電極から成るゲート端子32が接続され、拡散層44には金属電極から成る基板電圧制御端子36が接続されている。そして、ソース領域66、ドレイン領

域68、チャネル領域64、ゲート電極26により、PチャネルMOSトランジスタが構成されている。

【0071】以上のように構成されたPチャネルMOSトランジスタにおいては、基板電圧制御端子36に制御電圧を印加することにより、拡散層44の電圧を調整することができる。そして、基板電圧は拡散層44の電圧と等しくなるため、基板電圧制御端子36に印加する制御電圧を調整することにより基板電圧を制御することが可能になるため、第1実施形態と同様に、しきい値電圧を設定することができる。

【0072】(第3実施形態)以下、本発明を具体化した第3実施形態を図面と共に説明する。尚、本実施形態において、第1実施形態と同じ構成部材については符号を等しくしてその詳細な説明を省略する。

【0073】図9に、第3実施形態のスイッチトキャパシタ積分器77の回路構成を示す。スイッチトキャパシタ積分器77の構成において、第1実施形態のスイッチトキャパシタ積分器11の構成と異なるのは、各スイッチ5~8がNチャネルMOSトランジスタのみから構成されている点だけである。

【0074】従って、スイッチトキャパシタ積分器77においても、各スイッチ5~8のオフ時にはNチャネルMOSトランジスタのしきい値電圧の絶対値が大きくなるように基板電圧を制御し、各スイッチ5~8のオン時にはNチャネルMOSトランジスタのしきい値電圧の絶対値が小さくなるように基板電圧を制御することにより、スイッチトキャパシタ積分器11と同様の作用および効果を得ることができる。

【0075】尚、スイッチトキャパシタ積分器77を制御するための制御回路例は、第1実施形態の制御回路12と同一の回路構成で、各制御信号バーf1、バーf2は必要ないので、制御回路12におけるインバータ回路13、15の出力はスイッチトキャパシタ積分器77に接続されない構成になる。

【0076】図10に、各スイッチ5~8を構成するNチャネルMOSトランジスタの断面構造の別例を示す。尚、図10に示すNチャネルMOSトランジスタの構造は、図4に示した第1実施形態のNチャネルMOSトランジスタ39と同じ構造であるため、同じ構成部材については符号を等しくしてその説明を省略する。

【0077】図11に、各スイッチ5~8を構成するNチャネルMOSトランジスタの断面構造の一例を示す。尚、図11において、図5に示した第1実施形態のNチャネルMOSトランジスタ75と同じ構成部材については符号を等しくしてある。N型の単結晶シリコン基板20上に、独立したPウェル41が形成されている。Pウェル41の表面に、高不純物濃度のN<sup>+</sup>型のソース領域67およびドレイン領域69が形成されている。ソース領域67とドレイン領域69とに挟まれたチャネル領域65上に、ゲート絶縁膜25を介して、ポリシリコンか

ら成るゲート電極 27 が形成されている。また、P ウェル 41 の表面に、高不純物濃度の P+ 型の拡散層 45 が形成されている。ソース領域 67 には金属電極から成るソース端子 29 が接続され、ドレイン領域 69 には金属電極から成るドレイン端子 31 が接続され、ゲート電極 27 には金属電極から成るゲート端子 33 が接続され、拡散層 45 には金属電極から成る基板電圧制御端子 37 が接続されている。そして、ソース領域 67、ドレイン領域 69、チャンネル領域 65、ゲート電極 27 により、N チャンネル MOS トランジスタが構成されている。

【0078】 以上のように構成された N チャンネル MOS トランジスタにおいては、基板電圧制御端子 37 に制御電圧を印加することにより、拡散層 45 の電圧を調整することができる。そして、基板電圧は拡散層 45 の電圧と等しくなるため、基板電圧制御端子 37 に印加する制御電圧を調整することにより基板電圧を制御することが可能になるため、第 1 実施形態と同様に、しきい値電圧を設定することができる。

【0079】 尚、本発明は上記各実施形態に限定されるものではなく、以下のように変更してもよく、その場合でも、上記各実施形態と同様の作用および効果を得ることができる。

(1) 第 1 実施形態では、N チャンネルおよび P チャンネルの両 MOS トランジスタのしきい値電圧の絶対値が等しいものとして説明したが、両 MOS トランジスタのしきい値電圧の絶対値が異なってもよい。

【0080】 (2) 第 1 実施形態では、各基板電圧制御端子 52、62、72、82、53、63、73、83 に印加される制御電圧の絶対値が、N チャンネルおよび P チャンネルの両 MOS トランジスタについて等しいものとして説明したが、両 MOS トランジスタについて制御電圧の絶対値が異なってもよい。

【0081】 (3) スイッチトキャパシタ積分器に限らず、スイッチトキャパシタ回路によって構成された各種アナログ回路（加算器、アナログフィルタ、A/D 変換器、D/A 変換器、発振器など）に適用してもよい。

【図面の簡単な説明】

【図 1】 第 1 実施形態のスイッチトキャパシタ積分器の

回路図。

【図 2】 第 1 ～ 第 3 実施形態の MOS トランジスタの特性図。

【図 3】 第 1 実施形態のスイッチトキャパシタ積分器および制御回路の回路図。

【図 4】 第 1 実施形態のスイッチの構造の一例を示す概略断面図。

【図 5】 第 1 実施形態のスイッチの構造の別例を示す概略断面図。

【図 6】 第 2 実施形態のスイッチトキャパシタ積分器の回路図。

【図 7】 第 2 実施形態のスイッチの構造の一例を示す概略断面図。

【図 8】 第 2 実施形態のスイッチの構造の別例を示す概略断面図。

【図 9】 第 3 実施形態のスイッチトキャパシタ積分器の回路図。

【図 10】 第 3 実施形態のスイッチの構造の一例を示す概略断面図。

【図 11】 第 3 実施形態のスイッチの構造の別例を示す概略断面図。

【図 12】 従来のスイッチトキャパシタ積分器の回路図。

【図 13】 第 1 ～ 第 3 実施形態および従来のスイッチトキャパシタ積分器を制御するための制御信号のタイミングチャート。

【図 14】 MOS トランジスタの特性図。

【符号の説明】

3…積分容量 4…サンプリング容量 5～8…スイッチ

20…単結晶シリコン基板 21…シリコン酸化膜  
22, 23…単結晶シリコン層 34, 35…埋め込み電極

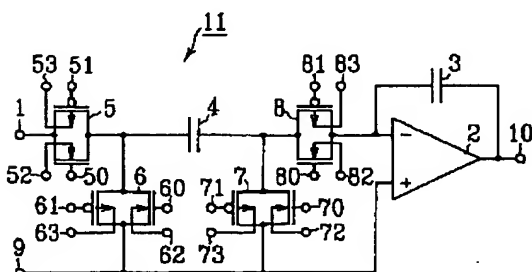
51, 52…チャンネル領域 36, 37…基板電圧制御端子

40, 41…ウェル 44, 45…拡散層

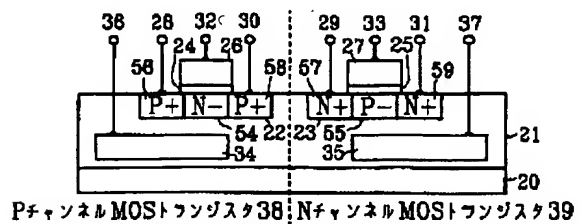
VCH, -VCH, VCL, -VCL…制御電圧

VTH, -VTH, VTL, -VTL…しきい値電圧

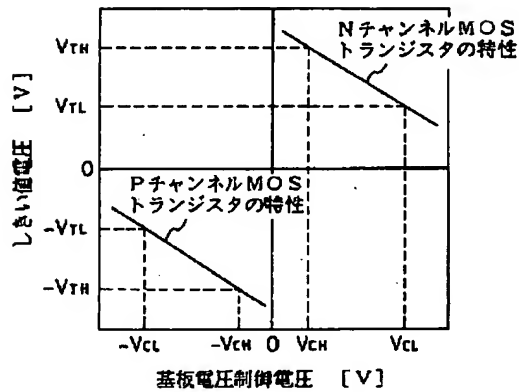
【図 1】



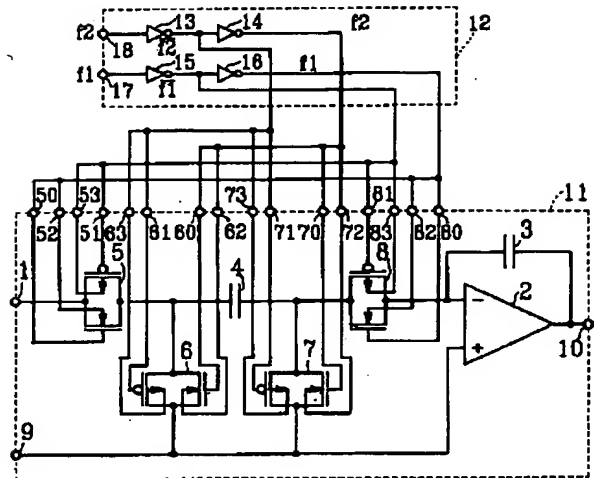
【図 4】



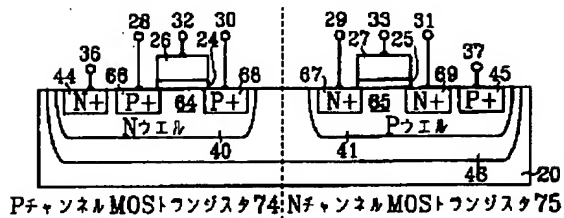
【図2】



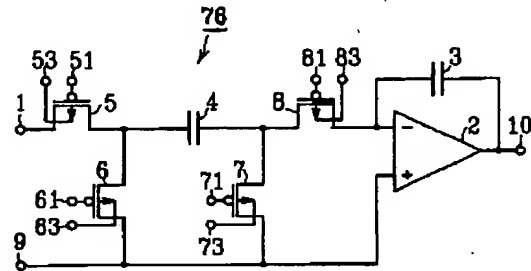
【図3】



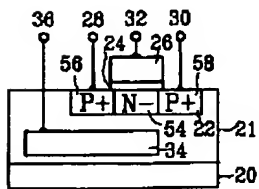
【図5】



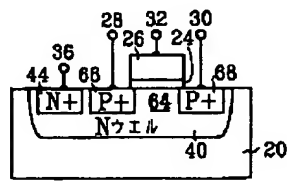
【図6】



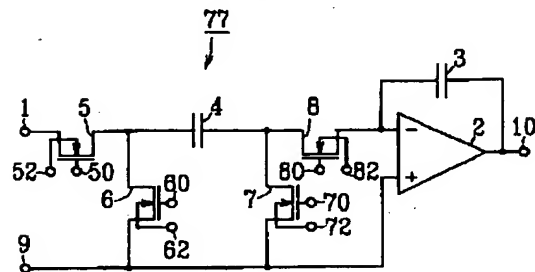
【図7】



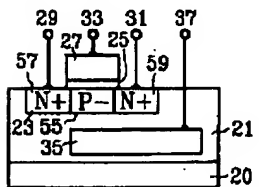
【図8】



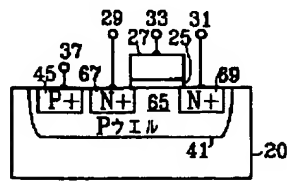
【図9】



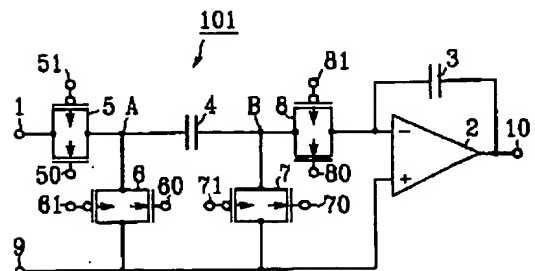
【図10】



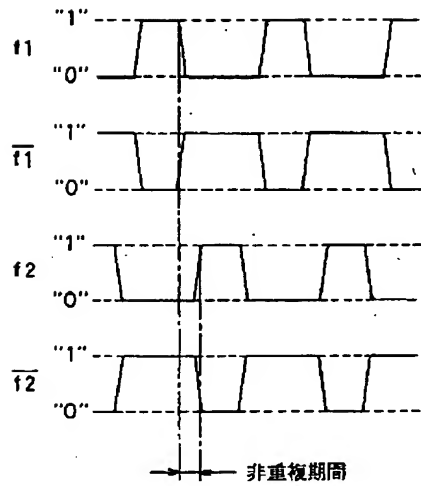
【図11】



【図12】



【図 13】



【図 14】

